

1. 受賞者：松本 哲郎（パナソニック半導体システムテクノ）

論文名：チップレベル基板雑音解析技術

発表研究会：DAシンポジウム 平成17年8月25日

著者名：松本哲郎、小坂大輔、永田真（神戸大）、村坂佳隆、岩田穆（エイアールテック）

基板雑音発生回路とアレイ型基板雑音検出回路を搭載した 0.3  $\mu\text{m}$  CMOS 技術による 7.3mm 角のチップについて、基板雑音の波形と分布を測定するとともに、チップレベル基板雑音解析手法による基板雑音シミュレーションの解析性能を評価している。コンパクトモデル(F行列+TSDPCモデル)を用いたチップレベル基板雑音解析が実測結果を精度良く再現できることを示している。雑音解析技術として実用上の有効性があると高く評価されることから本論文賞を贈呈する。

2. 受賞者：伊藤則之（富士通）

論文名：2.16GHz SPARC64 マイクロプロセッサ設計用タイミング・レイアウト設計手法

発表研究会：DAシンポジウム 平成17年8月26日

著者名：伊藤則之、小松裕成、杉山八六（富士通）

タイミング・レイアウト設計は、高い周波数性能を持つ回路を実現するための重要な工程である。本論文は、2.16GHz SPARC64 マイクロプロセッサ設計に適用された手法について述べている。提案手法はタイミング中心の設計フローであり、独自のルールドリブン設計、階層設計、カスタム設計、インクリメンタル設計を利用しており、これにより、最先端プロセスによる高性能マイクロプロセッサの開発に成功している。タイミング・レイアウト設計における有効な方法論を示し、実証した研究として高く評価されることから本論文賞を贈呈する。

3. 受賞者：湯山洋一（ルネサステクノロジ）

論文名：オンチップグローバル配線における確定的/確率的ノイズとエラー率のモデル化

発表研究会：第122回システムLSI設計技術研究会 平成17年12月1日

著者名：湯山洋一・小林和淑・小野寺秀俊（京大）

本研究では、チップ上配線におけるエラー検出/訂正符号化の研究に不可欠であるエラーの発生確率のモデル化方法を提案している。従来手法とは異なり、確定的なノイズと確率的なノイズを区別してモデル化することにより、ノイズ量やエラー率を見積もる上でより現実的なモデル化が可能としている。また、計算機実験により、従来手法と比べ、エラー率の見積もり値が 100倍以上異なる場合があることを示している。チップ上配線におけるノイズについてより現実的なモデルを提案しており、実用上の有効性も期待されることから本論文賞を贈呈する。

4. 受賞者：永山 忍（広島市大）

論文名：二次近似法に基づくプログラマブル数値計算回路の構成とその合成分法

発表研究会：第123回システムLSI設計技術研究会 平成18年1月18日

著者名：永山 忍（広島市大）・笹尾 勤（九工大）・Jon T. Butler（海軍大学院大学）

種々の数値計算回路の構成法は古典的な課題であるが、本研究では、三角関数、対数関数、平方根演算、逆数演算などの多様で複雑な関数を計算する数値計算回路の構成とその自動合成分法を提案している。提案手法では、Look-Up Tableカスケード、不等区間分割、二次近似法を組み合わせることにより、高精度(24ビット精度)の数値計算回路を従来法に比べ 4-22% 程度のメモリ量で、FPGA実現することに成功している。数値計算回路の有効な構成手法を示しており、今後の発展も期待されることから、本論文賞を贈呈する。