

## 平成21年度 システムLSI設計技術研究会 優秀論文賞 受賞者

DAシンポジウム2009

### 1. 受賞者: 中谷正吾 (日本電気)

発表研究会: 第 138 回 SLDM 研究会, 平成 21 年 1 月 30 日

論文名: 応用領域に特化した小面積再構成可能 HW のカスタマイズ方式

著者名: 中谷正吾、梶原信樹、粟島亨(NEC)

FPGA のような汎用の再構成可能 HW と比較して面積の小さい領域特定再構成可能 HW を生成する手法を開発した。領域特定再構成可能 HW はその応用を特定の領域に絞ることによりデバイスを小面積化できるが、応用領域を絞りすぎると設計の柔軟性が低くなるという問題がある。提案手法は、想定するアプリケーションが配置配線できる範囲で配線リソースを削減することにより、デバイスの柔軟性を保ちつつ小面積を達成する。無線通信で使われる符号生成器をアプリケーションに想定した実験により、提案する手法が、汎用の再構成可能 HW に比べて 1/3 の面積の再構成可能 HW を生成できることを確認した。

### 2. 受賞者: 川島裕崇 (名古屋大学)

発表研究会: 第 137 回 SLDM 研究会, 平成 20 年 11 月 17 日

論文名: オペランドの和を利用した小面積乗算器

著者名: 川島裕崇、高木直史(名大)

並列乗算の最初のステップで生成される部分積のビット数を削減する手法を提案した。オペランドの和を利用することにより、部分積の総ビット数を従来型の並列乗算器の半分にすることを可能にした。本手法は符号なし乗算、符号付き乗算の両方に適用できる。商用の  $0.18 \mu\text{m}$  および  $90\text{nm}$  の標準セルライブラリを用いた実験により、提案手法を用いた乗算器が従来の配列型乗算器や Wallace 乗算器より約 30%、2 ビット Booth の手法を用いた乗算器より約 10% 小面積で実現できることを確認した。

### 3. 受賞者: 高橋真吾 (中央大学, 2009 年 4 月より日本電気)

発表研究会: DA シンポジウム 2008, 平成 20 年 8 月 27 日

論文名: 遅延と遷移時間のばらつきを混合正規分布で表現した統計的タイミング解析の一手法

著者名: 高橋真吾、築山修治(中央大)

回路遅延の分布を 2 つの正規分布からなる混合正規分布で表現することにより、従来の統計的静的タイミング解析手法における Max 演算の誤差を削減することができる。しかしこの方法では、ある入力信号の到達時刻が他の信号より遅い確率が 1 に近い場合、Max 演算の結果が 1 つの正規分布にマージされ、混合正規分布で表現された遅延分布情報が伝搬されないという問題が生じる。本論文では、この問題を解決する Max 演算の高精度化手法を提案した。モンテカルロシミュレーションにより、本手法が、以前提案した解析手法の誤差を削減することを確認した。

### 4. 受賞者: 小林和淑 (京都大学, 2009 年 4 月より京都工芸繊維大学)

発表研究会: DA シンポジウム 2008, 平成 20 年 8 月 27 日

論文名: SET パルスによる誤動作を防止する遅延挿入フリップフロップのソフトエラー耐性の検討

著者名: 小林和淑、森谷祐介、小野寺秀俊(京大)

集積回路の微細化に伴い、SRAM やフリップフロップ (FF) だけでなく、組み合わせ回路に発生するソフトエラーが問題視され始めている。本論文では、 $90\text{nm}$  プロセステクノロジーを用いて設計した SRAM 回路、フリップフロップ、および組み合わせ回路を対象として、高速中性子によって引き起こされる過渡電流によるソフトエラー率を、回路シミュレーションを用いて定量的に比較した。さらに、FF を多重化し遅延を挿入することで、組み合わせ回路に発生する一過性パルス除去回路を設計し、遅延の大きさとソフトエラー率を比較した。各種回路におけるソフトエラー率が定量的かつ客観的に示されており、今後のソフトエラーに関する研究を開拓する論文として高く評価できる。